

INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

Publication number: JP7221260 (A)

Publication date: 1995-08-18

Inventor(s): HIRAO SEIJI +

Applicant(s): FUJITSU LTD +

Classification:

- international: H01L25/18; H01L23/52; H01L25/04; H01L25/18; H01L23/52; H01L25/04; (IPC1-7): H01L23/52; H01L25/04; H01L25/18

- European:

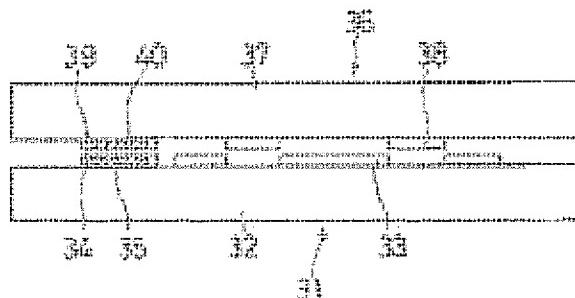
Application number: JP19940010771 19940202

Priority number(s): JP19940010771 19940202

Abstract of JP 7221260 (A)

PURPOSE: To provide a connecting technique between circuit chips, between a circuit chip and a TAB or between a circuit chip and a package without using a bump whose manufacturing accuracy is low.

CONSTITUTION: Two or more circuit chips 31, 36 provided on substrates 32, 37 on which integrated circuit patterns 33, 38 have been formed are stacked. The circuit patterns 33, 38 which have been formed on the individual circuit chips 31, 36 are coupled electromagnetically by electromagnetic induction coils 34, 39. Partners which can be connected to the circuit chips can be formed as wirings composed of a TAB wiring thin film or as wirings for a package. In these cases, ferromagnetic-substance films 35, 40 composed of Ni, Co, a ferrite or the like are buried in the electromagnetic induction coils 34, 39 so that a coupling coefficient between the electromagnetic induction coils 34, 39 can be increased.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-221260

(43)公開日 平成7年(1995)8月18日

(51)Int.Cl.⁵
H 0 1 L 23/52
25/04
25/18

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 52 Z
25/ 04 Z
審査請求 未請求 請求項の数 5 OL (全 5 頁)

(21)出願番号

特願平6-10771

(22)出願日

平成6年(1994)2月2日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 平尾 省二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

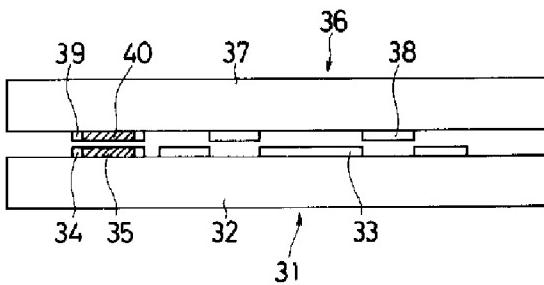
(54)【発明の名称】 集積回路装置とその製造方法

(57)【要約】

【目的】 集積回路装置とその製造方法に関し、製造精度が低いバンプを用いないで回路チップ間、あるいは回路チップとTAB間、または回路チップとパッケージ間の接続技術を提供する。

【構成】 集積回路パターン33, 38が形成された基板32, 37を有する2以上の回路チップ31, 36を積層し、各回路チップ31, 36に形成された回路パターン33, 38の間を電磁誘導コイル34, 39によって電磁結合する。回路チップと接続する相手をTAB配線薄膜の配線、また、パッケージの配線にすることができる。これらの場合、電磁誘導コイル34, 39の中にNi, Co, フェライト等の強磁性体膜35, 40を埋め込んで電磁誘導コイル34, 39の間の結合係数を高くすることができる。

第4実施例の集積回路装置の説明図



【特許請求の範囲】

【請求項1】 集積回路を形成した2以上の回路チップが積層され、各回路チップに形成された集積回路の間が電磁誘導コイルによって電磁結合されていることを特徴とする集積回路装置。

【請求項2】 集積回路を形成した回路チップと、該回路チップに形成された集積回路を接続するTAB配線薄膜の間が電磁誘導コイルによって電磁結合されていることを特徴とする集積回路装置。

【請求項3】 集積回路を形成した回路チップと、該回路チップを収容するパッケージの配線の間が電磁誘導コイルによって電磁結合されていることを特徴とする集積回路装置。

【請求項4】 電磁誘導コイルの中にNi, Co, フェライト等の強磁性体が埋め込まれていることを特徴とする請求項1から請求項3までのいずれか1項に記載された集積回路装置。

【請求項5】 集積回路を形成した回路チップの表面に導電体膜を形成し、該導電体膜をバターニングすることによって電磁誘導コイルを形成する工程と、該電磁誘導コイルを形成した半導体チップを他の電磁誘導コイルを形成した半導体チップ、電磁誘導コイルを形成したTAB配線薄膜、または、電磁誘導コイルを形成したパッケージを、それらの電磁誘導コイルを電磁結合させるように組み立てる工程を含むことを特徴とする集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、回路チップに形成された集積回路の接続手段に特徴を有する集積回路装置に関する。

【0002】

【従来の技術】近年の集積回路装置に組み込まれる回路の高集積化に伴い、複数の回路チップを積層する技術、または回路チップをパッケージに実装する技術は、リードボンディング方式から、TAB (Tape Automated Bonding) 方式に推移した。また、マルチチップモジュール(以下「MCM」と略称する)では、第1の(親)チップと第2の(子)チップを接続する方法として、エリアバンプ方式が採用されている。

【0003】このエリアバンプ方式においては、回路チップの上面にハンダが着きやすい材料を用いてその回路に接続された微細な円形の金属パターンを形成し、この金属パターンに溶融ハンダを接触させてバンプを形成し、接続すべき回路チップを、双方のバンプを位置合わせして対向させた状態で加熱してハンダを溶融した後冷却して両者を接続する方法が採られている。

【0004】図5は、従来のエリアバンプ方式の接続構造の説明図である。この図において、41は第1の回路チップ、42, 46は基板、43, 47は金属バター

ン、44, 48はバンプ、45は第2の回路チップである。

【0005】この図によって、MCMの相互接続に使われるエリアバンプ方式の接続構造について簡単に説明する。この場合は、まず、第1の回路チップ41の基板42と第2の回路チップ45の基板46の上の全面に分布する複数の金属パターン43, 47を形成し、金属パターン43, 47を形成した基板42, 46を溶融ハンダの中に浸漬して、金属パターン43, 47の上にバンプ44, 48を形成する。この場合、第1の回路チップ41の基板42と第2の回路チップ45の基板46の上に形成された金属パターン43, 47にメッキを施すことによってバンプを形成することもできる。

【0006】次いで、接合しようとする第1の回路チップ41と第2の回路チップ45を、双方のバンプ44, 48を位置合わせて対向させた状態で加熱してバンプ44, 48を溶融し、その後冷却することによって第1の回路チップ41と第2の回路チップ45を接続して集積回路装置を高密度化し、高性能化し、高コストパフォーマンス化することを意図している。

【0007】また、TAB方式においては、回路チップ上に形成されたバンプと、TABのフィルム(薄膜)に印刷された配線に形成されたバンプを圧着ないし溶着させることによって回路チップ側と配線薄膜側を接続している。

【0008】

【発明が解決しようとする課題】しかしながら、エリアバンプ方式、TAB方式の何れにしても、回路チップ上にバンプを形成する工程として、回路チップの金属パターンにメッキを施す方法や、回路チップを溶融ハンダ中に浸漬して、回路チップ上の金属パターンの上にバンプを形成する工程を用いるため、他の半導体製造工程に比べて桁違いに精度が悪く、バンプの高さや位置の回路チップ内のバラツキが大きいため、微細化にも限度があり、回路をさらに高密度化し、バンプの数を増加する要望に対応することができなくなっている。

【0009】また、バンプをハンダを用いて形成するため、Pb中に在留するTh, U等の放射性物質から放射される α 線の影響によるいわゆるソフトエラーを避けることができない。

【0010】本発明は、上記の問題を解消するため、製造精度が低いバンプを用いない新しいコンセプトの回路チップ間の接続技術、または、回路チップとパッケージとの接続技術を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明にかかる集積回路装置においては、集積回路を形成した2以上の回路チップが積層され、各回路チップに形成された集積回路の間が電磁誘導コイルによって電磁結合される構成を採用了。

【0012】この場合、集積回路を形成した回路チップと、該回路チップに形成された集積回路を接続するTAB配線薄膜の間が電磁誘導コイルによって電磁結合されている構成を採用することができる。

【0013】また、この場合、集積回路を形成した回路チップと、該回路チップを収容するパッケージの配線の間が電磁誘導コイルによって電磁結合されている構成を採用することができる。

【0014】また、これらの場合、電磁誘導コイルの中にNi, Co, フェライト等の強磁性体が埋め込まれた構成を採用し、結合係数を高くすることができる。

【0015】また、本発明にかかる集積回路装置の製造方法においては、集積回路を形成した回路チップの表面上に導電体膜を形成し、該導電体膜をパターニングすることによって電磁誘導コイルを形成する工程と、該電磁誘導コイルを形成した半導体チップを他の電磁誘導コイルを形成した半導体チップ、または、電磁誘導コイルを形成したTAB配線薄膜、電磁誘導コイルを形成したパッケージを、それらの電磁誘導コイルを電磁結合させるように組み立てる工程を採用した。

【0016】

【作用】本発明の集積回路装置のように、回路チップに形成された集積回路と、他のチップに形成された集積回路、TABの薄膜、または、パッケージに形成された回路の間を、接続しようとする回路の双方に形成された電磁誘導コイルによって電磁結合するため、それらの間が非接触状態で電気的に接続され、各回路チップの電磁誘導コイルを、CVDやPVDやスパッタ等の高精度の成膜技術を用いて形成することができ、高集積化、多ピン化への対応が容易で、また、ハンダを用いないためα線による影響を排除することができ、また、回路チップを組み立てた後に特性の試験を行い、特性を確認した後に、熱処理を用いることなく、回路チップを分解し、再び組み立てることが容易であるため、歩留りを向上させることができ、回路を試作するまでの便宜をもたらすことができる。

【0017】

【実施例】以下、本発明の実施例を説明する。

(第1実施例) 図1は、第1実施例の集積回路装置の説明図である。この図において、1は第1の回路チップ、2, 6は基板、3, 7は回路パターン、4, 8は電磁誘導コイル、5は第2の回路チップである。

【0018】この実施例の集積回路装置においては、第1の回路チップ1の基板2の上面にスパッタによってPt等の金属薄膜を形成し、この金属薄膜をフォトリソグラフィー技術によって選択的にエッチングして、第1の回路チップに形成された回路パターン3に接続される電磁誘導コイル4を形成する。

【0019】また、第2の回路チップ5の基板6の上面に、これと同様にスパッタによってPt等の金属薄膜を

形成し、この金属薄膜をフォトリソグラフィー技術によって選択的にエッチングして、回路パターン7に接続される電磁誘導コイル8を形成する。

【0020】そして、第1の回路チップ1と第2の回路チップ5を、それぞれの電磁誘導コイル4, 8を対向させ、その間を絶縁して配置することによって、第1の回路チップ1の回路パターン3によって形成された回路と第2の回路チップ5の回路パターン7によって形成された回路を、電磁誘導コイル4と電磁誘導コイル8によって交流的に接続することができる。

【0021】(第2実施例) 図2は、第2実施例の集積回路装置の説明図である。この図において、11は回路チップ、12は基板、13, 16は回路パターン、14, 17は電磁誘導コイル、15はTAB用回路薄膜である。

【0022】この実施例の集積回路装置においては、回路チップ11の基板12の上面にスパッタによってPt等の金属薄膜を形成し、この金属薄膜をフォトリソグラフィー技術によって選択的にエッチングして、回路パターン13に接続される電磁誘導コイル14を形成する。

【0023】また、TAB用回路薄膜15の上面にPt等の金属薄膜を形成し、この金属薄膜をフォトリソグラフィー技術によって選択的にエッチングして、回路パターン16に接続される電磁誘導コイル17を形成する。

【0024】そして、回路チップ11とTAB用回路薄膜15を、それぞれの電磁誘導コイル14と電磁誘導コイル17を対向させ、TAB用回路薄膜15を介して配置することによって、回路チップ11の回路パターン13によって形成された回路とTAB用回路薄膜15に形成された回路を、電磁誘導コイル14と電磁誘導コイル17によって交流的に接続する。

【0025】(第3実施例) 図3は、第3実施例の集積回路装置の説明図である。この図において、21は回路チップ、22は基板、23, 27は回路パターン、24, 28は電磁誘導コイル、25はパッケージ容器、26はパッケージ蓋板である。

【0026】この実施例の集積回路装置においては、回路チップ21の基板22の上面にPt等の金属薄膜を形成し、この金属薄膜をフォトリソグラフィー技術によって選択的にエッチングして、回路パターン23に接続される電磁誘導コイル24を形成する。

【0027】また、パッケージ蓋板26の内面に、これと同様にPt等の金属薄膜を形成し、フォトリソグラフィー技術によって選択的にエッチングして、回路パターン27に接続される電磁誘導コイル28を形成する。

【0028】そして、回路チップ21をパッケージ容器25に収容し、その上を、回路チップ21の電磁誘導コイル24と電磁誘導コイル28を対向させてパッケージ蓋板26で覆うことによって、回路チップ21の回路パターン23によって形成された回路とパッケージ蓋板2

6に回路パターン27によって形成された回路の間を、電磁誘導コイル24と電磁誘導コイル28によって交流的に接続する。

【0029】(第4実施例)図4は、第4実施例の集積回路装置の説明図である。この図において、31は第1の回路チップ、32、37は基板、33、38は回路パターン、34、39は電磁誘導コイル、35、40は強磁性体膜、36は第2の回路チップである。

【0030】この実施例の集積回路装置においては、第1の回路チップ31の基板32の上面にスパッタによってPt等の金属薄膜を形成し、この金属薄膜をフォトリソグラフィー技術によって選択的にエッチングして、回路パターン33に接続される電磁誘導コイル34を形成し、電磁誘導コイル34のループ内に強磁性体膜35を形成する。

【0031】また、第2の回路チップ36の基板37の上面に、これと同様にスパッタによってPt等の金属薄膜を形成し、この金属薄膜をフォトリソグラフィー技術によって選択的にエッチングして、回路パターン38に接続される電磁誘導コイル39を形成し、電磁誘導コイル39のループ内に強磁性体膜40を形成する。

【0032】そして、第1の回路チップ31と第2の回路チップ36を、それぞれの電磁誘導コイル34と電磁誘導コイル39を対向させて配置することによって、第1の回路チップ31の回路パターン33によって形成された回路と第2の回路チップ36の回路パターン38によって形成された回路を、電磁誘導コイル34と電磁誘導コイル39によって交流的に接続することができる。この実施例においては、電磁誘導コイル34のループ内と、電磁誘導コイル39のループ内に強磁性体膜40を形成したため、電磁誘導コイル34と電磁誘導コイル39の結合係数を大きくすることができる。

【0033】上記の実施例においては、各回路チップの基板の表面上に電磁誘導コイルを形成した例を説明したが、電磁誘導コイルや回路を回路チップの基板に埋め込むこともできる。また、隣接する電磁誘導コイルの間の干渉を防ぐために、各電磁誘導コイルの周囲に強磁性体からなる磁気遮蔽を設けることができる。

【0034】また、回路と回路間、回路とTAB間、回路とパッケージ間の結合に用いた電磁結合を静電結合に替えることもできる。

【0035】

【発明の効果】以上説明したように、本発明によると、回路チップに形成された集積回路と、他の集積回路、TABの薄膜、または、パッケージの間が双方に形成された電磁誘導コイルによるトランスによって非接触状態で

接続することができる。この際、双方の電磁誘導コイルを、従来から蓄積されているCVD、PVD、スパッタ等の半導体集積回路装置の製造技術を用いることによって高精度に形成することができるため、高集積化、多ビン化への対応が容易であり、回路間の接続にハンダを用いないためα線による影響を排除することができる。また、回路チップを組み立てた後に特性の試験を行い、特性を確認した後に回路チップを熱処理を用いることなく分解して再び組み立てることが容易であるため、歩留りの向上や回路の試作試験に寄与するところが大きい。

【図面の簡単な説明】

【図1】第1実施例の集積回路装置の説明図である。

【図2】第2実施例の集積回路装置の説明図である。

【図3】第3実施例の集積回路装置の説明図である。

【図4】第4実施例の集積回路装置の説明図である。

【図5】従来のエリアバンプ方式の接続構造の説明図である。

【符号の説明】

1 第1の回路チップ

2, 6 基板

3, 7 回路パターン

4, 8 電磁誘導コイル

5 第2の回路チップ

11 回路チップ

12 基板

13, 16 回路パターン

14, 17 電磁誘導コイル

15 TAB用回路薄膜

21 回路チップ

22 基板

23, 27 回路パターン

24, 28 電磁誘導コイル

25 パッケージ容器

26 パッケージ蓋板

31 第1の回路チップ

32, 37 基板

33, 38 回路パターン

34, 39 電磁誘導コイル

35, 40 強磁性体膜

36 第2の回路チップ

41 第1の回路チップ

42, 46 基板

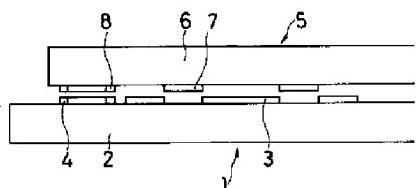
43, 47 金属パターン

44, 48 バンプ

45 第2の回路チップ

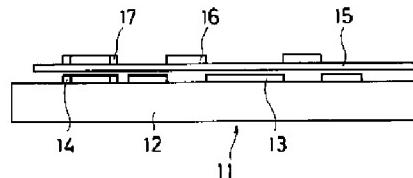
【図1】

第1実施例の集積回路装置の説明図



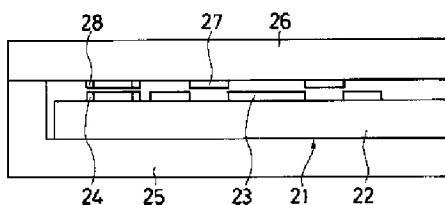
【図2】

第2実施例の集積回路装置の説明図



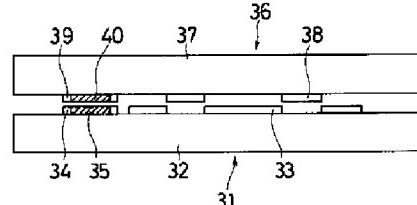
【図3】

第3実施例の集積回路装置の説明図



【図4】

第4実施例の集積回路装置の説明図



【図5】

従来のエリアパンプ方式の接続構造の説明図

